

# THỰC THI VÀ ĐÁNH GIÁ MẠNG TRÊN CHIP (NoC) SỬ DỤNG CÔNG CỤ SYNOPSISYS

## IMPLEMENTATION AND EVALUATION NETWORK-ON-CHIP (NoC) BY USING SYNOPSISYS TOOL

**Phạm Văn Khoa**

*Bộ môn Điện Tử Viễn Thông  
Trường Đại Học Sư Phạm Kỹ Thuật Tp.HCM  
Số 1, Võ Văn Ngân, Q.Thủ Đức, TpHCM  
[khoapv@hcmute.edu.vn](mailto:khoapv@hcmute.edu.vn)*

**TÓM TẮT:** Bài báo sẽ trình bày một mô hình minh họa hệ thống trên chip ứng dụng nền tảng kết nối mạng trên chip (NoC-based SoC). Việc xây dựng một mô hình mạng với topo dạng lưới 2 chiều kích thước 4x4 được thực hiện. Trong đó, kiến trúc mỗi router với phương pháp chuyển mạch gói, thành phần giao tiếp mạng, và các thành phần xử lý như bộ xử lý, bộ nhớ, ngoại vi cũng được xây dựng trên bộ công cụ Quartus và thực thi trên phần cứng Altera DE2. Một giao diện được xây dựng dựa trên công cụ Matlab sẽ hỗ trợ cho việc giám sát tình trạng hoạt động của mạng. Việc đánh giá về tần số hoạt động, công suất tiêu thụ, diện tích thiết kế cũng được thực hiện dựa trên phần mềm Design Compiler và thư viện saed90nm của Synopsys.

**Từ khoá:** Mạng trên chip, Chuyển mạch gói, Mô hình lưới, Synopsys Design Compiler.

**ABSTRACT:** This paper investigate a demo NoC-based SoC. An experimental approach (2D mesh topology) was used. Packet switching based router architecture, network resource interface, process element such as processor, memory, peripheral are designed by Quartus IDE and implemented on Altera board. Beside FPGA implementation, a Matlab-based graphical user interface was also designed to monitor network traffic from the outside world. In addition, RTL codes were analysed and synthesized to get area and power consumption by Design Compiler and Synopsys 90nm library (saed90nm). By using Quartus report, hardware cost of design was also presented.

**Keyword:** Network-on-Chip, packet switching, mesh topology, Synopsys Design Compiler.

### 1. GIỚI THIỆU

Ngày nay, với các kỹ thuật vi mạch tích hợp, nhiều thành phần xử lý có thể được tích hợp trên một chip đơn. Phương pháp này đã dẫn đến nảy sinh nhiều vấn đề đối với khả năng mở rộng, khả năng tái sử dụng và hiệu năng của hệ thống. Phương pháp thiết kế tập trung vào khả năng giao tiếp thay vì tập trung vào khả năng xử lý được xem như là phương pháp thiết kế đương đại để thiết kế hệ thống đa lõi xử lý trên chip (Multiprocessor System on Chip MPSoC) [1].

Các kiến trúc kết nối trên chip đóng vai trò rất quan trọng trong việc quyết định hiệu năng và công suất tiêu thụ của chip [1, 2, 3]. Mạng trên chip (Network on Chip NoC) với phương pháp chuyển mạch gói được xem là giải pháp tốt nhất cho việc liên kết giữa các thành phần xử lý trên một hệ thống có độ tích hợp lớn [1, 2, 3, 12, 14].

Node vật lý là một điểm truyền thông trên mạng, nó bao gồm router, RNI và lõi IP [2, 3, 7]. Router là thành phần quan trọng trên mạng. Trên mỗi router, có 5 cổng là cổng đông, tây, bắc, nam và cổng nối IP. Mỗi cổng có kênh vào và ra. Các bộ đệm được đặt tại tất cả các cổng để lưu trữ các gói tin một cách tạm thời. Một gói tin di chuyển qua các node sử dụng phương pháp chuyển mạch store and forward.

Khối điều khiển tạo các quyết định phân xử. Độ ưu tiên trong việc phân xử được cố định theo thứ tự: cổng nối IP có ưu tiên cao nhất, cổng bắc, đông, nam, tây. Kích thước gói tin là 49 bit và nó có các bit điều khiển như là: write, read request, read return, x-y counter, destination node ID, source node ID. Việc thiết kế bộ điều khiển tranh chấp là điều cần thiết để giải quyết các vấn đề khi hai hay nhiều gói tin đầu vào muốn chuyển tiếp đến cùng ngõ ra.

Như vậy, bài báo đề xuất một mô hình mạng trên chip được với các đặc tính như sau:

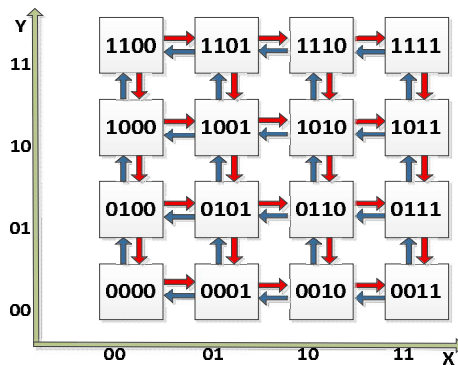
- Topo dạng lưới 2 chiều,
- Phương pháp định tuyến OXY,

- Mỗi gói tin bao gồm 1 flit đơn, có 3 loại flit
- Số lượng node cố định bao gồm 16 node,
- Chiều dài của mỗi flit cố định là 49bit
- Phương pháp chuyển mạch gói store and forward
- Phương pháp bắt tay dựa trên tín hiệu busy.

## 2. KIẾN TRÚC MẠNG

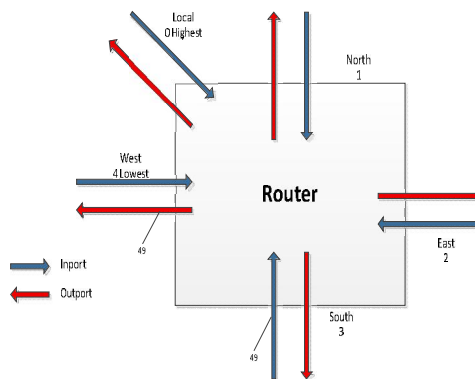
Một NoC được xem là một hệ thống kết nối được thực hiện trên chip. Hệ thống SoC ứng dụng mô hình NoC với các thành phần xử lý được giao tiếp thông qua một nền tảng kết nối dạng chuyển mạch gói. Hệ thống được xây dựng bao gồm các node mạng. Các node này có thể gửi và nhận dữ liệu bằng các gói tin thông qua môi trường mạng chuyển mạch gói. Đối với từng hệ thống khác nhau thì số lượng node có thể sẽ thay đổi và chức năng của các thành phần cũng khác nhau như là bộ xử lý, bộ nhớ, thành phần ngoại vi. [1, 2, 3, 8, 18]

Topo mạng quyết định thiết kế vật lý và qui định về sơ đồ kết nối giữa các router, các kênh truyền dẫn trên toàn mạng [1, 2, 3, 4]. Topo còn quyết định số lượng router mà một khung dữ liệu sẽ đi qua cũng như chiều dài liên kết giữa các router [6, 12]. Do đó, topo ảnh hưởng đến độ trễ lan truyền (latency) và công suất năng lượng tiêu thụ của mạng. Topo dạng lưới (mesh) được xem là lựa chọn tốt cho thiết kế NoC [14, 18, 20]. Mô hình mạng được thực hiện sử dụng dạng lưới 2 chiều với kích thước 4x4



**Hình 1:** Topo dạng lưới 2 chiều với 16 node mạng

Với topo dạng lưới 2 chiều, thì router sẽ có 5 ngõ vào/ra tương ứng với 4 hướng kết nối với các router lân cận là North, South, East, West và 1 đường kết nối với thành phần xử lý [20].



**Hình 2:** Thiết kế router với 2 kênh truyền vật lý vào/ra tại mỗi hướng

Tại mỗi hướng kết nối có thể bao gồm các kênh truyền vật lý riêng biệt tương ứng cho ngõ vào, ngõ ra để thực hiện cho chức năng đọc ngõ vào hoặc ghi đến ngõ ra.

### 2.1 Kích thước gói tin

Trên cơ chế chuyển mạch gói store and forward, các flit được sử dụng để truyền thông tin trên mạng [1, 2, 6, 10, 12, 17]. Hệ thống được thiết kế với cấu trúc 1flit/1packet. Có 3 loại gói tin như sau: gói tin ghi (write), gói tin

yêu cầu đọc (read request), và gói tin dữ liệu đọc trả về (read return). Trong đó, gói tin ghi được xuất phát từ thành phần master trên mạng khi có nhu cầu ghi dữ liệu lên slave. Gói tin yêu cầu đọc được xuất phát từ thành phần master khi có nhu cầu đọc dữ liệu từ slave và gói tin dữ liệu đọc trả về từ thành phần slave để gửi dữ liệu về master khi được yêu cầu.

Write flit						
48-43	42	41	40	39-36	35-8	7-0
x-y routing	Read	Write	Return	Destination Node ID	Memory address	Data

Read request flit							
48-43	42	41	40	39-36	35-8	7-4	3-0
x-y routing	Read	Write	Return	Destination Node ID	Memory address	Source Node ID	zeros

Return flit						
48-43	42	41	40	39-36	35-28	27-0
x-y routing	Read	Write	Return	Destination Node ID	Data memory	zeros

**Hình 3:** Kích thước gói tin

Tất cả các gói tin đều có kích thước cố định là 49 bit trong đó một số phần trong gói tin chứa các bit 0. Trong tất cả các gói tin có 3 loại bit cờ là write, read, return ở vị trí bit 40, 41, 42 trong gói tin. Một bit thể hiện cho một cờ khác nhau, nhằm chỉ ra rằng gói tin thuộc loại nào. Chỉ 1 trong 3 bit được bật lên. Nếu là gói tin rỗng (empty packet) thì 3 bit này được đặt về 0.

Ngoài ra, trong cả 3 loại gói tin đều yêu cầu thông tin của node mà các gói tin muốn gửi đến là ID của node đích. Số node tương ứng trên mạng lưới kích thước 4x4 là 16 node. Như vậy cần 4 bit bao gồm 2 bit cho trục OX và 2 bit cho trục OY để mã hoá vị trí cho mỗi node. Các gói tin write và read request yêu cầu một địa chỉ trong bộ nhớ, nhằm cung cấp thông tin cần ghi và đọc từ địa chỉ bộ nhớ nào trên slave IP trong trường hợp tài nguyên là bộ nhớ.

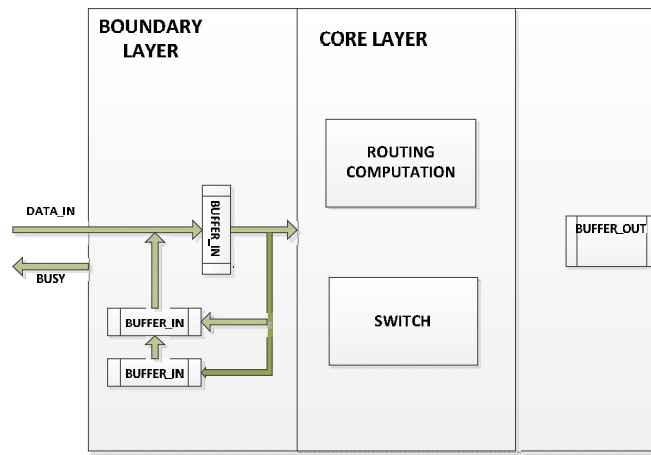
Gói tin read request chứa node ID nguồn bởi bên nhận gói tin read request cần phải biết node nào trên mạng gửi yêu cầu đọc dữ liệu. Gói tin read return nhằm trả lời cho gói read request và gói tin này chỉ chứa node ID đích và dữ liệu đọc từ bộ nhớ. Gói tin write chứa 8 bit dữ liệu ghi trong khi gói tin read return chứa 8 bit dữ liệu đọc.

Tất cả các gói tin có 6 bit ở vị trí bit 43 đến 48 để phục vụ cho việc định tuyến: 3 bit cho mỗi chiều X và Y. Các bộ đếm này được khởi tạo với khối RNI và thay đổi bởi router. Với 16 node mạng thì 2 bit được sử dụng để mã hoá vị trí của node trên lưới 2 chiều 4x4 và 1 bit để chỉ ra chiều di chuyển của gói tin trên trục X và Y. Nếu một mô hình lưới có kích thước lớn hơn thì số lượng bit này cần được thay đổi sao cho phù hợp.

## 2.2 Router

Chức năng chính của các router là định tuyến các flit từ ngõ vào để đi ra các cổng ngõ ra tương ứng dựa trên địa chỉ trên lưới [1, 2, 9, 10, 15, 17, 19]. Thành phần chính cấu thành nên router là các bộ đệm ngõ vào và bộ đệm ngõ ra (in/out buffer), bộ tính toán định tuyến (route computation), bộ cấp phát kênh ảo (virtual channel allocator), bộ cấp phát chuyển mạch (switch allocator) và thành phần chuyển mạch giữa các hướng khác nhau (crossbar switch).

Trong các mạng chuyển mạch gói, các thành phần xử lý sẽ gửi dữ liệu là các gói tin đến router. Gói tin nhận tại ngõ vào của router. Bộ đệm lưu trữ gói tin trước khi gửi nó đến ngõ ra của router. Mỗi ngõ ra của router có một bộ dồn kênh. Nó nhận các gói tin từ các hàng đợi khác nhau và sau đó chọn một gói tin để gửi ra bên ngoài để đến ngõ vào của router tiếp theo. Các bộ điều khiển hướng đi và bộ đệm là thành phần chính quan trọng trong router. Các giao thức và thuật toán định tuyến được thực hiện trong khối này.



**Hình 4:** Kiến trúc tổng quát bên ngoài của một router

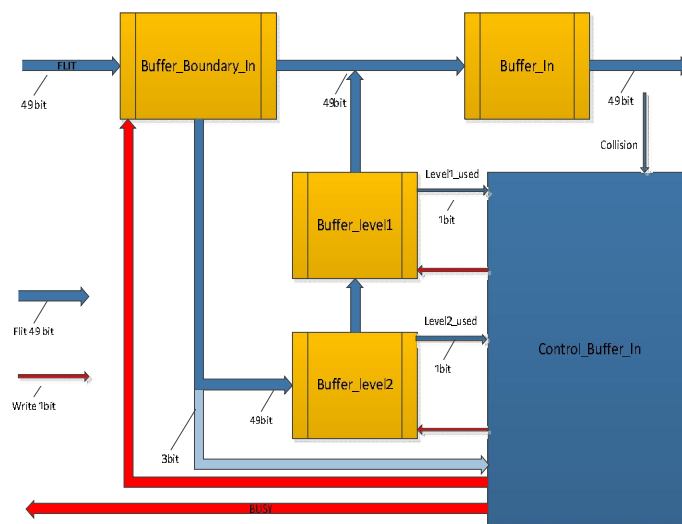
Kiến trúc bên trong router bao gồm 2 lớp chính:

- Lớp biên (boundary layer). Ở lớp này chức năng chính là lưu giữ các flit ở các bộ đệm và bộ điều khiển bộ đệm quản lý các tín hiệu ngõ vào.
- Lớp lõi (internal layer). Chức năng chính là xử lý thông tin địa chỉ nguồn và đích của flit từ đó đưa ra quyết định định tuyến các flit đến ngõ ra kênh dẫn tương ứng hoặc được chuyển ngược lại về các bộ đệm ở lớp biên.

### 2.2.1 Kiến trúc bộ đệm

Theo kiến trúc tổng quát bên trong router, mỗi cổng vào đều có một khối đệm được dùng làm vùng nhớ cho dữ liệu đi vào từ một cổng [20]. Bên cạnh đó ở các cổng ngõ ra cũng dùng một khối đệm cho dữ liệu ở ngõ ra. Kích thước độ rộng và sâu của một bộ đệm thì tùy thuộc vào mỗi thiết kế router khác nhau.

Trong đó, độ rộng của bộ đệm thì tùy thuộc vào kích thước định dạng của một flit dữ liệu được truyền tải trên kênh truyền vật lý.



**Hình 5:** Cấu trúc khối bộ đệm và luồng dữ liệu tại ngõ vào router

Độ sâu tức khả năng chứa được tối đa bao nhiêu flit của một bộ đệm thì có thể thay đổi và linh hoạt phụ thuộc vào cơ chế điều khiển luồng được áp dụng trong thiết kế. Với thiết kế 1 flit/1 packet thì kích thước bộ đệm không cần thiết kế với kích thước lớn.

Trong phương pháp thiết kế của đề tài, mỗi gói tin chỉ bao gồm 1 flit vì thế kích thước bộ đệm sẽ được giảm bớt. Bộ đệm nhận dữ liệu ngõ vào hoạt động với nguyên tắc:

- Gói tin đi từ router lân cận khi đi vào một router khác sẽ được lưu trữ tạm thời trên một bộ đệm `buffer_boundary_in`. `Buffer_level1` và `buffer_level2` là hai bộ đệm riêng biệt mỗi bộ đệm lưu trữ được một gói tin có kích thước độ rộng 49 bit.

- Tình trạng sử dụng của mỗi `buffer_level1` và `buffer_level2` được thể hiện qua tín hiệu `level1_used` và `level2_used`. Tín hiệu này nhằm báo bộ đệm đó đang được sử dụng. Tín hiệu này sẽ đi đến khối `control_buffer_in`. Ngoài ra, trong nội dung của gói tin từ router lân cận gửi đến thì bit 42, 41 và 40 sẽ đi đến khối `control_buffer_in` để khối này nhận biết là có gói tin `read request`, `write` hoặc `return` mới đến. Từ các thông tin về tình trạng các bộ đệm, tình trạng xung đột mà `control_buffer_in` sẽ điều khiển trạng thái của `buffer_level1`, `buffer_level2` và `buffer_in`.

- Nếu `buffer_level1` được sử dụng thì giá trị này sẽ được ghi vào `buffer_in` của lớp bên trong để tiếp tục cho quá trình xử lý tiếp theo.

### 2.2.2 Cơ chế xử lý tranh chấp

Trong quá trình truyền thông giữa các router trên mạng đôi khi xảy ra các trường hợp tranh chấp. Tranh chấp xảy ra khi có 2 hay nhiều gói tin ở ngõ vào muốn di chuyển đến cùng một kênh truyền ngõ ra.

Để kiểm soát vấn đề tranh chấp trên mạng, thuật toán định tuyến sẽ xem xét mỗi ngõ vào một cách riêng biệt trong một vòng lặp với thứ tự ưu tiên cố định sau:

- 0 ở hướng local kết nối với thành phần xử lý thì độ ưu tiên cao nhất
- 1 ở hướng north kết nối với router lân cận
- 2 ở hướng east kết nối với router lân cận
- 3 ở hướng south kết nối với router lân cận
- 4 ở hướng west kết nối với router lân cận có độ ưu tiên thấp nhất

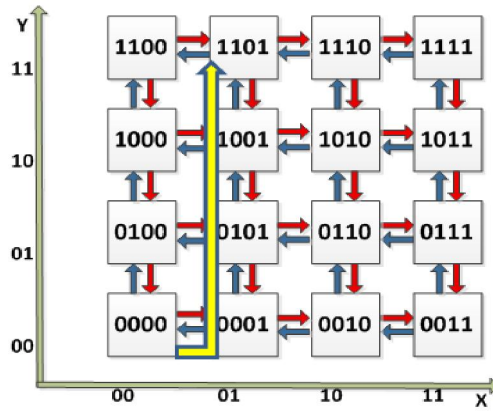
Ở mỗi ngõ vào, thuật toán định tuyến sẽ chọn một gói tin hoặc từ bộ đệm nếu kênh dẫn ngõ vào được sử dụng hoặc một empty packet nếu kênh dẫn trong trạng thái rảnh (idle). Nếu dữ liệu nhận được là một trong các gói tin `read request`, `write`, `return` thì chiều ngõ ra mong muốn được tính toán và lưu trong một biến. Mỗi đầu vào cũng có một cờ tranh chấp (collision flag) tương ứng.

Mỗi bộ đệm ngõ vào của router có 1 tín hiệu busy và nó được đặt lên 1 khi bộ đệm ngõ vào được sử dụng. Đầu tiên, thuật toán định tuyến sẽ kiểm tra tín hiệu báo busy ở ngõ vào hiện tại và nếu cờ này báo bận thì sau đó cờ tranh chấp sẽ được đặt lên 1. Một vòng lặp được thực hiện từ ngõ vào 0 tức đối với ngõ kết nối tài nguyên mạng đến ngõ vào hiện tại. Điều này bỏ qua các empty packet và nếu có bất kỳ gói tin nào muốn di chuyển đến cùng ngõ ra thì collision flag sẽ được đặt lên 1.

### 2.2.3 Thuật toán định tuyến

Phương pháp định tuyến XY được sử dụng trong thiết kế. Để dịch chuyển các gói tin thông qua toàn mạng từ node gửi đến node nhận, router sẽ tìm tại các bộ đếm x-y tại bit 43-48 của gói tin đi đến router. Việc quyết định gói tin sẽ đi theo hướng North hay South trên chiều dọc của mạng lưới 2 chiều sẽ được dựa trên thông tin của phần y-flag và y-counter. Trước tiên, router sẽ kiểm tra thông tin ở chiều dọc. Nếu y-flag được đặt là 0 thì gói tin được di chuyển đến hướng South. Ngược lại, nếu y-flag được đặt là 1 thì gói tin sẽ được di chuyển đến hướng North. Khi gói tin được đi đến router kế tiếp, thì giá trị trong phần y-counter được giảm đi 1 đơn vị.

Nếu router nhận được một gói tin với phần y-counter là 0, thì thuật toán định tuyến sẽ xem xét tiếp tục ở phần x-flag và x-counter để quyết định sẽ di chuyển gói tin theo hướng nào của chiều ngang. Cơ chế xử lý trong phần này cũng tương tự như đối với xử lý quyết định hướng đi theo chiều dọc của gói tin. Nếu x-flag đặt là 0 thì gói tin sẽ được di chuyển đến hướng East. Trong trường hợp ngược lại, nếu x-flag đặt là 1 thì gói tin sẽ được di chuyển đến hướng West.



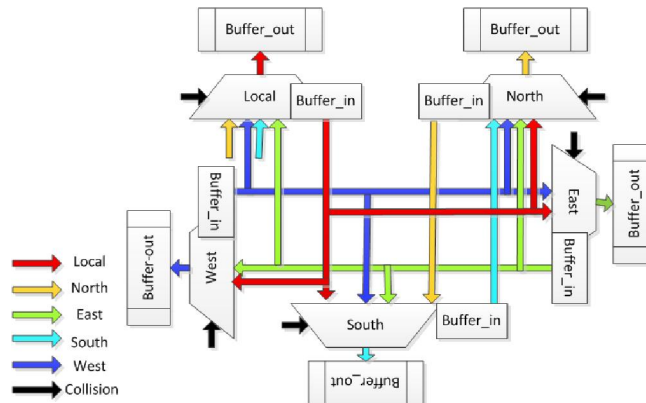
**Hình 6:** Định tuyến Oxy cho mô hình dạng lưới 2 chiều

Trường hợp, nếu router nhận được một gói tin mà thông tin trong cả x-counter và y-counter đều được đặt là 0 thì router nhận ra rằng gói tin đã đi đến được đích. Hướng tiếp theo gói tin cần đi sẽ là hướng Local thông qua RNI để đi đến resource.

### 2.2.4 Thành phần chuyển mạch

Do đặc điểm của giải thuật định tuyến XY, các gói dữ liệu sẽ được truyền theo phương X trước. Do đó, các gói dữ liệu ở ngõ vào hướng North và South (phương Y) sẽ không được phép chuyển đến ngõ ra hướng East và West (phương X) và tất cả các dữ liệu từ hướng East, hướng West và Local sẽ được truyền đến tất cả các hướng còn lại [6, 14].

Đối với ngõ kết nối với tài nguyên mạng thì dữ liệu từ 4 hướng North, South, West, East đều có thể truyền đến.

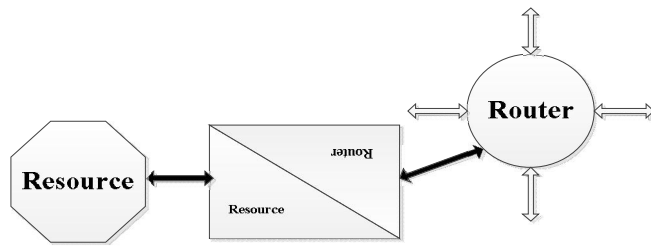


**Hình 7:** Cấu trúc khối chuyển mạch router

### 2.3 Thành phần giao tiếp mạng (RNI)

Thành phần giao tiếp mạng (hay còn gọi là Resource Network Interface RNI) là một giao diện kết nối để gắn kết phần mạng với tài nguyên mạng. Chức năng của thành phần này là để chuyển đổi các tín hiệu từ bus cục bộ thành định dạng gói tin để phù hợp với tín hiệu ở phần mạng và ngược lại [1, 2, 7, 21].

Tài nguyên mạng được kết nối với router thông qua RNI có thể nhận các gói tin từ router hoặc gửi các gói tin đến router. Thiết kế bên trong của một RNI có thể được phân ra làm 2 phần: phụ thuộc và độc lập với tài nguyên [1, 7]. Thiết kế của RNI bao gồm master RNI và slave RNI.



**Hình 8:** Thành phần và kết nối của RNI trong hệ thống mạng trên chip

Master RNI được kết nối giữa router và master IP như dummy processor. Ngược lại, slave RNI là cầu nối để kết nối router và slave IP bao gồm dummy memory, switch...

### 2.3.1 Master RNI

Khối master RNI nhằm kết nối giữa một thiết bị master IP và router trên một node đơn bao gồm: router, network adapter, master IP. Chức năng khối này gồm:

- Xây dựng gói tin dựa trên dữ liệu từ master IP.
- Giải mã gói tin từ router và chuyển thành dữ liệu để chuyển đến master IP.
- Thêm thông tin định tuyến x-y

Trong gói tin mà RNI nhận và gửi đều chứa thông tin về node ID đích. RNI sẽ quyết định giá trị cho các bộ đếm x-y counter dựa trên giá trị node ID của chính nó và node ID đích mà gói tin muốn gửi đến để hỗ trợ cho router trong quá trình định tuyến gói tin trên mạng. Thông tin do RNI xử lý gồm các bit từ 18 đến 23 trong nội dung gói tin gửi đi gồm: y-flag, y-counter, x-flag, x-counter. Trong đó, y-flag được đặt là 1 hoặc 0 dựa vào vị trí y trên lưới 4x4 của node. Đây là 2 bit cao trong 4 bit mà RNI lấy từ thông tin node mà RNI gắn vào cũng như node mà RNI muốn gửi gói tin đến

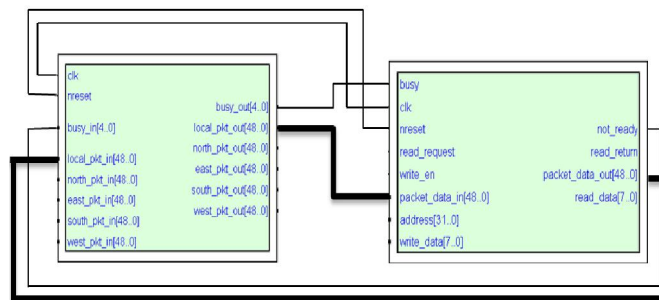
- 1 nếu vị trí node đích nhỏ hơn vị trí của node mà RNI gắn kết
- 0 nếu vị trí node đích lớn hơn vị trí của node mà RNI gắn kết

x-flag cũng được đặt giá trị 1 hoặc 0 dựa vào vị trí trên lưới. Cơ chế tương tự như đối với y-flag.

y-counter là một giá trị 2 bit và thu được nhờ cơ chế xử lý sau. RNI sẽ xem xét 2 bit cao của node ID đích trong gói tin trừ đi giá trị node ID của chính RNI.

- Nếu kết quả là một số âm, thì giá trị này sẽ được đặt vào trong phần y-counter và trước y-counter sẽ được đặt giá trị 1.
- Nếu giá trị nhận được là dương thì phần trước y-counter sẽ được đặt giá trị 0.

Quá trình xử lý tương tự được áp dụng đối với x-counter của gói tin. Nhưng giá trị sử dụng để thực hiện phép trừ là 2 bit thấp trong phần node ID đích và node ID của chính RNI.

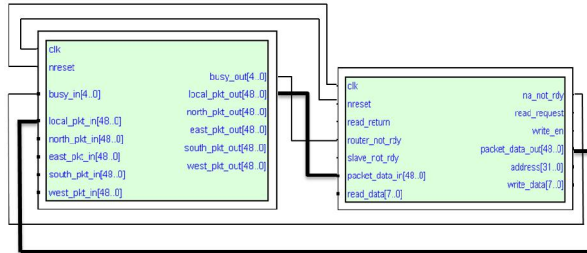


**Hình 9:** Giao diện giao tiếp giữa master RNI với route

### 2.3.2 Slave RNI

Khối slave RNI nhằm kết nối giữa một thiết bị slave và router trên một node đơn bao gồm: router, network adapter, slave IP. Chức năng của khối này bao gồm:

- Xây dựng gói tin dựa trên dữ liệu từ slave IP.
- Giải mã gói tin đến từ router và chuyển thành dữ liệu để chuyển đến slave IP.
- Thêm thông tin định tuyến x-y

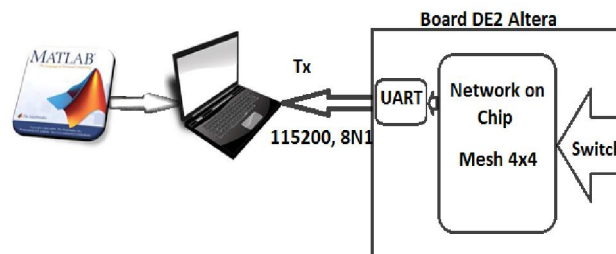


**Hình 10:** Giao diện giao tiếp giữa slave RNI với router

Cơ chế xử lý đối với phần x-y counter trên slave RNI tương tự như master RNI.

## 3. GIÁM SÁT HOẠT ĐỘNG MẠNG

Tình trạng hoạt động của mô hình NoC sẽ khó quan sát từ thế giới bên ngoài. Chính vì thế, một giao diện đã được xây dựng với sự hỗ trợ của công cụ Matlab nhằm để giám sát tình trạng hoạt động của mạng.



**Hình 11:** Kết nối giữa board DE2 và máy tính

Giao diện sẽ nhận dữ liệu từ hệ thống được xây dựng trên board FPGA DE2 thông qua cổng truyền thông nối tiếp bất đồng bộ UART. Chức năng của giao diện là tổng hợp tình trạng tại mỗi đường truyền khác nhau tại mỗi cổng đồng thời tình trạng xung đột tại mỗi bộ đệm trên mỗi hướng của router cũng được ghi nhận. Tình trạng trên mỗi đường truyền vật lý và xung đột tại mỗi hướng ngõ vào trên router sẽ được minh họa bằng các dải màu theo qui ước sau

Màu	Mô tả trạng thái
Đỏ	Kênh dẫn có luồng dữ liệu lớn: chu kỳ gửi dữ liệu nhỏ (khoảng 4 chu kỳ), có nhiều gói tin từ các cặp node nguồn - đích khác nhau đi qua.
Cam	Kênh dẫn có luồng dữ liệu đi qua ít hơn: chu kỳ gửi dữ liệu lớn (khoảng 10 chu kỳ), có nhiều gói tin từ các cặp node nguồn - đích khác nhau đi qua.
Vàng	Kênh dẫn có luồng dữ liệu đi qua ít: chu kỳ gửi dữ liệu lớn (khoảng 10 chu kỳ), không có nhiều gói tin từ các cặp node nguồn - đích khác nhau đi qua.
Trắng	Không có truyền thông tin trên các kênh dẫn

**Bảng 1:** Phân bố màu chỉ thị đối với kênh dẫn

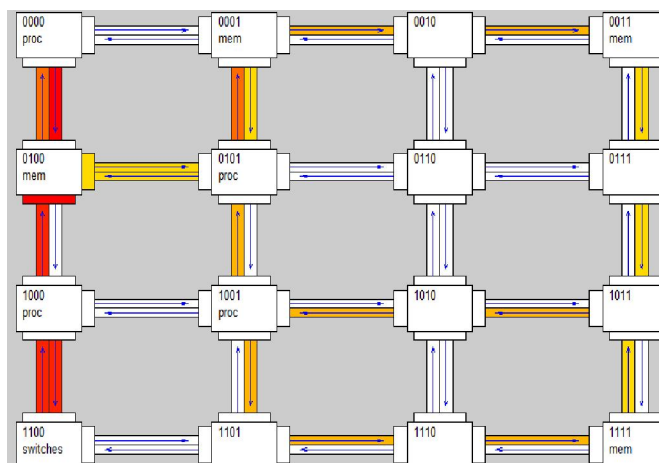


Ngoài ra, tình trạng hoạt động trên mạng sẽ dựa trên hành vi ghi và đọc của các thành phần master đối với slave. Tình trạng mạng có thể được quyết định bởi việc thay đổi hành vi của một bộ xử lý. Một ngõ vào từ một dải 4 switch sẽ cho phép thay đổi tình trạng hoạt động của mạng trên chip như bảng sau

Node nguồn	Node đích	Tần suất	Hoạt động
processor 0000	memory 0100	4 chu kỳ xung	Ghi và yêu cầu đọc
processor 0101	memory 0100	10 chu kỳ xung	Yêu cầu đọc
processor 0101	memory 0001	10 chu kỳ xung	Ghi và yêu cầu đọc
processor 1001	memory 0011	10 chu kỳ xung	Yêu cầu đọc và ghi lên 1111
processor 1001	memory 1111	10 chu kỳ xung	Yêu cầu đọc và ghi lên 0011
processor 1000	Switch 1100	2 chu kỳ xung	Yêu cầu đọc
processor 1000	Node (Switch)	4 chu kỳ xung	Ghi

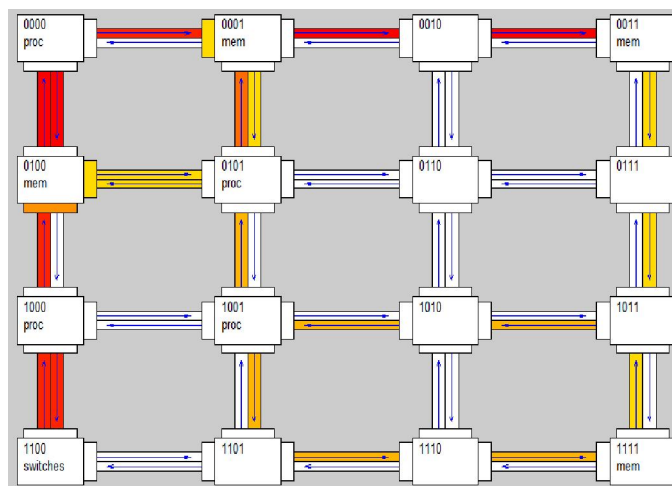
**Bảng 2:** Giao diện giao tiếp giữa slave

Trường hợp khi SW chuyển từ 0000 thành 0100. Trong một số xung nhịp thì có xung đột xảy ra giữa các gói tin hướng North, East, South. Tất cả đều đang gửi các gói tin đến khối bộ nhớ tại 0100. Các tín hiệu busy chỉ ra thứ tự ưu tiên luôn được đặt với ngõ vào North và do đó nó không bao giờ phải chờ. Tuy nhiên, các gói tin tại ngõ vào hướng East và South đôi khi cần phải chờ trong các bộ đệm ngõ vào vì thứ tự ưu tiên của chúng thấp hơn. Bộ đệm ở hướng South thể hiện màu đỏ cho thấy có tranh chấp xảy ra ở hướng này nhiều nhất vì độ ưu tiên hướng này thấp nhất so với 2 hướng còn lại.



**Hình 12:** Tình trạng mạng khi switch ở trạng thái 0100

Trường hợp khi SW chuyển từ 0000 thành 0011. Switch được cài đặt là 0011, có thể thấy rằng các tín hiệu busy được bật lên tại ngõ vào hướng South của node 0100 (các ngõ vào hướng South và Local đều đang ghi đến ngõ ra hướng North) và tại ngõ vào hướng West của node 0001 (ngõ vào hướng West và South đều muốn ghi đến ngõ ra hướng East)



**Hình 13:** Tình trạng mạng khi switch ở trạng thái 0011

## 4. ĐÁNH GIÁ THIẾT KẾ

### 4.1 Đánh giá tài nguyên phần cứng

Từ kết quả tổng hợp phần cứng CyCloneII trên Altera DE2, chúng tôi nhận thấy rằng số lượng thành phần logic được yêu cầu đối với mỗi module trong thiết kế là khác nhau. Điều này đúng với cả số lượng các khối mạch tổ hợp (combinational logic) và số lượng mạch tuần tự (sequential logic). Quartus đã thống kê chi tiết số lượng tài nguyên được sử dụng đối với mỗi khối thành phần trong thiết kế.

Trong đó, router chiếm nhiều thành phần logic nhất và kích thước của chúng phụ thuộc vào vị trí của các router trên mạng. Điều này bởi vì hầu hết các yêu cầu phần cứng để xử lý và quyết định định tuyến gói tin đều được thực hiện trên router. Ngoài ra, mỗi router trên mạng có số lượng hướng kết nối là khác nhau và số lượng bộ đệm tương ứng ở các router này khác nhau.

Đối với các RNI có số lượng thành phần logic ít hơn nhiều lần so với router. Bởi hầu hết việc tính toán phức tạp của việc định tuyến, điều khiển các bộ đệm đã được đặt trên các router trong khi đó các RNI thì chỉ có chức năng xây dựng và giải mã các gói tin và tính toán giá trị cho thành phần định tuyến được thêm vào trong gói tin gửi đi và nhận về.

### 4.2 Đánh giá về công suất tiêu thụ

Công suất tiêu thụ trong một thiết kế có thể được chia thành 2 dạng: công suất tĩnh (static power) và công suất động (dynamic power). Phần đánh giá thiết kế về mặt công suất sẽ được thực hiện với sự hỗ trợ của công cụ Design Compiler của Synopsys. Design Compiler nhận đầu vào là tập tin mô tả phần cứng RTL sử dụng ngôn ngữ mô tả phần cứng VHDL, thư viện cell chuẩn saed90nm với đặc tính công nghệ 90nm, công suất thấp, và các ràng buộc khác nhau về thiết kế. Đối với từng ràng buộc thay đổi thì phương pháp tổng hợp sẽ khác nhau và sẽ ảnh hưởng đến năng lượng tiêu thụ của thiết kế. Công suất của thiết kế được thể hiện ở bảng sau

Công suất	Tối ưu mức cao	Thấp
Cell Internal Power	3.4978 mW	3.7003 mW
Net Switching Power	215.2984 uW	226.0009 uW
Total Dynamic Power	3.7131 mW	3.9263 mW
Cell Leakage Power	28.3452 mW	29.8259 mW

**Bảng 3:** Công suất tiêu thụ của thiết kế đối với từng phương pháp tối ưu

### 4.3 Đánh giá về tần số hoạt động

Trong hệ thống số, tần số hoạt động tối đa có thể được đánh giá ở nhiều khía cạnh khác nhau và phụ thuộc vào các điều kiện hoạt động, các ràng buộc cũng như tài nguyên vật lý để xây dựng thiết kế. Các tài nguyên vật lý này có thể là nền tảng phần cứng FPGA hoặc là thư viện cell chuẩn của nhà .

Yếu tố chính ảnh hưởng đến tần số hoạt động của thiết kế là kiến trúc của thiết kế được xây dựng từ các bản mô tả hành vi thiết kế. Từ bản mô tả hành vi thiết kế này sẽ xây dựng thiết kế thành các mạch tổ hợp, tuần tự, kết hợp kết nối với các flip-flop. Giá trị của tần số sẽ do giá trị setup-time và hold-time của các flip-flop và giá trị trì hoãn của mạch tổ hợp quyết định bên cạnh đó còn có thêm giá trị trì hoãn trong quá trình định tuyến của các kết nối sẽ các mạch.

Ở khía cạnh tài nguyên vật lý, nếu một thiết kế được thực thi trên nền tảng FPGA thì tần số hoạt động tối đa sẽ phụ thuộc phần nhiều vào loại FPGA được sử dụng. Ngoài ra, một số yếu tố khác cũng có thể ảnh hưởng đến tần số hoạt động của một thiết kế như nhiệt độ, diện tích... Chúng ta có thể dễ dàng nhận thấy các FPGA khác nhau sẽ cho phép thiết kế có thể hoạt động ở tần số khác nhau như thể hiện ở bảng sau

Họ FPGA (Altera)	Tần số hoạt động tối đa
Cyclone	90 Mhz
Cyclone II	122 Mhz
Stratix II	150 Mhz

**Bảng 4:** Tần số hoạt động tối đa khác nhau của các họ FPGA

### 4.3 Đánh giá về diện tích

Diện tích của thiết kế được chia ra thành diện tích đối với cell và diện tích đối với thành phần kết nối.

Tần số hoạt động 76Mhz	Diện tích
Tối ưu mức cao về diện tích	Net Interconnect area: <b>151561.696162</b> Total cell area: <b>921980.612843</b> Total area: <b>1073542.309004</b>
Không tối ưu về diện tích	Net Interconnect area: <b>174088.557009</b> Total cell area: <b>1155243.106324</b> Total area: <b>1329331.663333</b>

**Bảng 5:** Diện tích thiết kế đối với từng phương pháp tối ưu

Nếu một thiết kế trong quá trình tổng hợp yêu cầu tối ưu mức cao về mặt diện tích thiết kế thì sẽ ảnh hưởng đến vấn đề timing của thiết kế, cụ thể là giảm tần số hoạt động tối đa.

## 5. KẾT LUẬN

Đề tài thực hiện minh họa một SoC cơ bản sử dụng nền tảng giao tiếp NoC với phương pháp thực nghiệm (experimental approach). Phương pháp này sử dụng các công cụ mô phỏng, giả lập hoặc nền tảng phần cứng FPGA để đánh giá hoạt động và hiệu năng của thiết kế.

Mô hình này không nhằm để đưa ra một thiết kế chi tiết cho một ứng dụng cụ thể như xử lý ảnh hoặc xử lý tín hiệu mà chỉ nhằm xây dựng mô hình tổng quát minh họa một SoC cơ bản sử dụng nền tảng NoC trong giao tiếp. Kết quả của đề tài đã đạt được một số vấn đề như:

- Xây dựng thành công một mô hình minh họa SoC ứng dụng NoC trong việc truyền thông dữ liệu. Mô hình mạng trên chip được thiết kế với các đặc tính như: topo mạng dạng lưới 2 chiều, kích thước mạng 4x4 gồm 16 node, giao tiếp bằng các đơn vị gói tin (flit), cơ chế điều khiển luồng request-return, cơ chế điều khiển tắc nghẽn với tín hiệu busy giữa các router
- Thực nghiệm mô hình SoC ứng dụng NoC trên nền tảng phần cứng FPGA cụ thể là trên board DE2 Altera, nhằm xác nhận hoạt động thực tế của mô hình mạng NoC lưới 4x4. Bên cạnh đó, việc trực quan hóa hoạt động của mô hình mạng với giao diện Matlab cũng đã hoàn thành.

- Đánh giá thiết kế về tần số hoạt động, diện tích thiết kế, công suất tiêu thụ của thiết kế với công cụ hỗ trợ về thiết kế vi mạch Design Compiler và thư viện saed90nm của Synopsys.

## TÀI LIỆU THAM KHẢO

1. Chen S-J, Lan Y-C, Wen-ChungTsai, Hu Y-H. Reconfigurable Networks-on-Chip: Springer; 2011.
2. Jantsch A, Tenhunen H. Networks on Chip: Springer; Kluwer Academic Publishers; 2004.
3. Hill M, Wisconsin Uo, Madison. On-Chip Networks, Synthesis Lectures on Computer Architecture. 2006-2009.
4. Karlsruhe G. 2011 22nd IEEE International Symposium on Rapid System Prototyping. IEEE Reliability Society. 2011 (2011 22nd IEEE International Symposium on Rapid System Prototyping).
5. MileStojcev M. An Overview of On-Chip Buses. Facta Universitatis 2009.
6. Agarwal A, Iskander C, Shankar R. Survey of Network on Chip (NoC) Architectures & Contributions Journal of Engineering, Computing and Architecture. 2009.
7. Mahmood ZAMA. Design And Prototype Of Resource Network Interfaces For Network On Chip. 2009.
8. Hung-Chih Lai RM, Marios Savvides, and Tsuhan Chen. Communication-Aware Face Detection Using Noc Architecture. 2006 (Apps of NoC).
9. Mello A, Tedesco L, Calazans N, Moraes F. Virtual Channels in Networks on Chip: Implementation and Evaluation on Hermes NoC. 2005:6. 10. Park S. A Verilog-Hdl Implementation Of Virtual Channels In A Network-On-Chip ROUTER [Computer Engineering]: Texas A&M University; 2008.
11. Qian Y, Lu Z, Dou W. Analysis of Worst-case Delay Bounds for Best-effort Communication in Wormhole Networks on Chip. IEEE. 2009.
12. S. Kurupl TM. A comparison of traditional on-chip interconnects with Network-on-Chip architecture. California State University, Long Beach, California, USA 2006.
13. Seyyed Amir Asghari HP, Mohammad Khademi, and Pooria Yaghini Amirkabir University of Technology, đér Engineering and Information Technology, Tehran, Iran Designing and Implementation of a Network on Chip Router Based on Handshaking Communication Mechanism. 2009.
14. VilleRantala, TeijoLehtonen, JuhaPlosila. Network on Chip Routing Algorithms. 2006.
15. Xu Y, BoZhaoy, YoutaoZhangz, JunYang. Simple Virtual Channel Allocation for High Throughput and High Frequency On-Chip Routers. IEEE. 2009.
16. ZhonghaiLu. Using Wormhole Switching for Networks on Chip: Feasibility Analysis and Microarchitecture Adaptation. 2005.
17. Pham D, Le T. Reduced Clock Cycle Latency Router Architecture In Network-On-Chip (NoC). 2012:6.
18. Thang HV. Nghiên cứu và thực thi NoC trên nền tảng FPGA: BK Đà Nẵng; 2007.
19. Graeme Best MB, Oscar Rahnama, Wojciech Pawlak. Design and implementation of a simple mesh Network-on-Chip 2012.
20. Malviya S. Five Port Router for Network on Chip. 2004.
21. Pui R, Pau H. A Configurable Router for Embedded Network-on-Chip Support in Field-Programmable Gate Arrays: Queen's University; 2008.
22. Sridhar Gangadharan SC. Constraining Designs for Synthesis and Timing Analysis Spinger; 2013. 245 p.
23. Altera. Introduction to the Quartus® II Software. Altera: Version 10.0 Altera; 2010.
24. Bhatnagar H. Advanced Asic Chip Synthesis Using Synopsys® Design Compiler™ Physical Compiler™ and PrimeTime®: Kluweracademic Publishers 2002.
25. Synopsys. Design Compiler Tutorial Using Design Vision. SynopsysVersion B-2008.09, June 2009.
26. Synopsys. Synopsys 90nm Generic Library for Teaching IC Design. Synopsys. (Synopsys 90nm Generic Library).